



IPW

Patent

Customer No. 31561
Application No.: 10/709,125
Docket No. 11808-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hsu et al.
Application No. : 10/709,125
Filed : Apr. 15, 2004
For : NAND FLASH MEMORY CELL ROW, NAND FLASH
MEMORY CELL ARRAY, OPERATION AND
FABRICATION METHOD THEREOF
Examiner : N/A
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92129718,
filed on: 2003/10/27.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 2, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

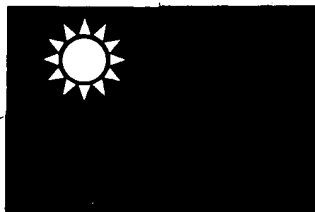
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 27 日
Application Date

申請案號：092129718
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2004 年 6 月
Issue Date

發文字號：09320524830
Serial No.

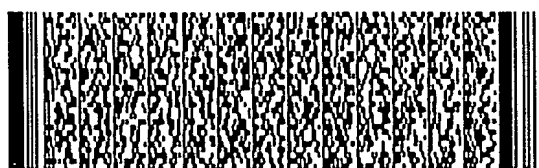
BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	反及閘型快閃記憶胞列、反及閘型快閃記憶胞陣列及其製造方法與操作方法
	英 文	NAND FLASH MEMORY CELL ARCHITECTURE, NAND FLASH MEMORY CELL ARRAY, MANUFACTURING METHOD AND OPERATING METHOD OF THE SAME
二、 發明人 (共4人)	姓 名 (中文)	1. 許正源 2. 洪至偉
	姓 名 (英文)	1. HSU, CHENG YUAN 2. HUNG, CHIH WEI
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市武陵路179巷2號6樓之3 2. 新竹市花園街106號7樓之3
	住居所 (英 文)	1. 6F-3, No. 2, Lane 179, Wu-lin Rd., Hsinchu City, Taiwan, R.O.C. 2. 7F-3, No. 106, St. Hwai-yuan, Hsin-chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG JENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 宋達 4. 黃明山
	姓名 (英文)	3. SUNG DA 4. HUANG, MIN SAN
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 新竹市光復路一段89巷123-2號9F-1 4. 新竹市柏川三路7號
	住居所 (英文)	3. 9F-1, No. 123-2, Alley 89, Sec. 1, Kwang-fu Rd., Hsinchu, Taiwan, R.O.C. 4. No. 7, Po-Chuan San Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：反及閘型快閃記憶胞列、反及閘型快閃記憶胞陣列及其製造方法與操作方法)

一種反及閘型快閃記憶胞陣列，由多數個記憶胞列所構成。各記憶胞列中之記憶胞串聯連接於第一選擇電晶體與第二選擇電晶體之間；各記憶胞至少由基底、穿隧介電層、浮置閘極、閘間介電層、控制閘極與源極/汲極區所構成，且在每兩相鄰記憶胞之間設置有抹除閘極。多數字元線連接同一行記憶胞之控制閘極。源極線分別連接同一行之第一選擇電晶體之源極。多數位元線連接各第二選擇電晶體之汲極。第一選擇閘極線與第二選擇閘極線分別連接同一行之第一選擇電晶體與第二選擇電晶體之閘極。多數抹除閘極線連接同一行之抹除閘極。

伍、(一)、本案代表圖為：第__1__圖

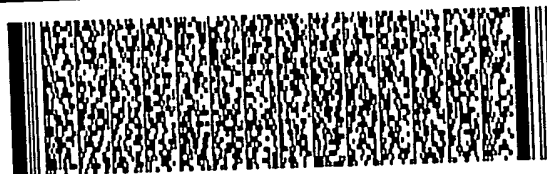
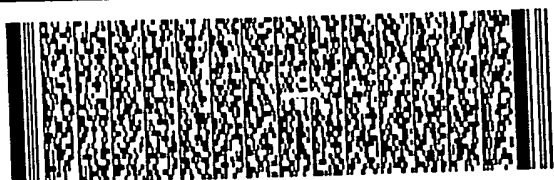
(二)、本案代表圖之元件代表符號簡單說明：

BL1 ~ BL4：位元線

EG1 ~ EG3：抹除閘極線

六、英文發明摘要 (發明名稱：NAND FLASH MEMORY CELL ARCHITECTURE, NAND FLASH MEMORY CELL ARRAY, MANUFACTURING METHOD AND OPERATING METHOD OF THE SAME)

A NAND flash memory cell array consisted of a plurality of memory cell architecture is provided. Each of memory cell architecture includes a plurality of memory cells set up between first selecting transistor and second selecting transistor with series connection. Each memory cell is consisted of substrate, tunneling dielectric layer, floating gate, inter-gate



四、中文發明摘要 (發明名稱：反及閘型快閃記憶胞列、反及閘型快閃記憶胞陣列及其製造方法與操作方法)

Ea1 ~ Ec3 : 抹除閘極

Qa1 ~ Qd3 : 記憶胞

SG1、SG2 : 選擇閘極線

SL : 源極線

STa1~STa2、STb1~STb3 : 選擇電晶體

WL1 ~ WL4 : 字元線

六、英文發明摘要 (發明名稱：NAND FLASH MEMORY CELL ARCHITECTURE, NAND FLASH MEMORY CELL ARRAY, MANUFACTURING METHOD AND OPERATING METHOD OF THE SAME)

dielectric layer, controlling gate and source/drain regions, and a erasing gate is set between two adjacent memory cells. A plurality of word lines is set to connect the memory cells in the same rows. A source line is set to connect the source region of first transistor in the same rows. A plurality of bit lines is set to connect the drain region of second transistor in the same



四、中文發明摘要 (發明名稱：反及閘型快閃記憶胞列、反及閘型快閃記憶胞陣列及其製造方法與操作方法)

六、英文發明摘要 (發明名稱：NAND FLASH MEMORY CELL ARCHITECTURE, NAND FLASH MEMORY CELL ARRAY, MANUFACTURING METHOD AND OPERATING METHOD OF THE SAME)

rows. A first selecting gate line and a second selecting gate line are set to connect the gate of first transistor in the same rows and the gate of second transistor in the same rows, respectively. A plurality of erasing gate lines are set to connect the erasing in the same rows.

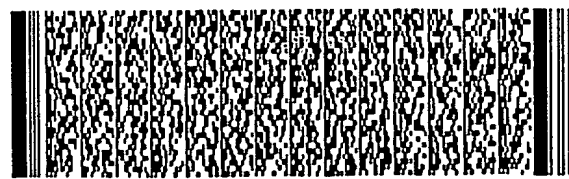


五、發明說明 (3)

置閘極、閘間介電層與控制閘極；多數個摻雜區設置於閘極結構之間的基底中，而使閘極結構串聯連接在一起；多數個抹除閘極設置於閘極結構之間、且位於摻雜區上方；間隙壁設置於閘極結構與抹除閘極之間；介電層設置於抹除閘極與摻雜區之間；第一選擇閘極與第二選擇閘極，分別設置於閘極結構中最外側之兩閘極結構之側壁；選擇閘極介電層設置於第一選擇閘極、第二選擇閘極與基底之間；汲極區設置於第一選擇閘極不與外側之閘極結構相鄰之一側的基底中；源極區設置於第二選擇閘極不與外側之閘極結構相鄰之一側的基底中。

在上述NAND(反及閘)型快閃記憶體胞列中，於摻雜區(源極/汲極區)上設置抹除閘極。因此，記憶體胞在進行抹除操作時，可以藉由F-N穿隧效應，將電子從浮置閘極拉出至抹除閘極而移除之。由於本發明是使電子經由抹除閘極移除，而非使電子穿越穿隧氧化層從基底移除，因此本發明並不需要於基底中設置深N型井區，且不需要於陣列周邊設置暴露N型井區之區域，而可以增加元件的集積度。此外，本發明直接於每兩個相鄰兩閘極結構共用一個抹除閘極，因此不會增加快閃記憶體胞之體積。

本發明提供一種反及閘型快閃記憶體胞陣列，其係由呈二維配置的多數個記憶體胞列所構成。各記憶體胞列中包括多數個閘極結構，各閘極結構由基底起至少包括穿隧介電層、浮置閘極、閘間介電層與控制閘極；多數個摻雜區設置於閘極結構之間的基底中，而使閘極結構串聯連接在一



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

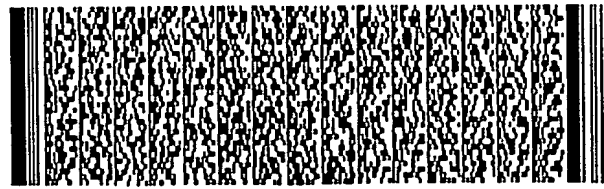
本發明是有關於一種記憶體元件，且特別是有關於一種反及閘型快閃記憶體胞列、反及閘型快閃記憶體胞陣列及其製造方法與操作方法。

先前技術

快閃記憶體元件由於具有可多次進行資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點，所以已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。而且，控制閘極係直接設置在浮置閘極上，浮置閘極與控制閘極之間以介電層相隔，而浮置閘極與基底間以穿隧氧化層(Tunnel Oxide)相隔(亦即所謂堆疊閘極快閃記憶體)。

當對快閃記憶體進行資料寫入之操作時，係藉由於控制閘極與源極/汲極區施加偏壓，以使電子注入浮置閘極中。在讀取快閃記憶體中的資料時，係於控制閘極上施加一工作電壓，此時浮置閘極的帶電狀態會影響其下通道(Channel)的開/關，而此通道之開/關即為判讀資料值「0」或「1」之依據。當快閃記憶體在進行資料之抹除時，係將基底、汲(源)極區或控制閘極的相對電位提高，並利用穿隧效應使電子由浮置閘極穿過穿隧氧化層(Tunneling Oxide)而排至基底或汲(源)極中(即 Substrate Erase 或 Drain (Source) Side Erase)，或



五、發明說明 (2)

是穿過介電層而排至控制閘極中。

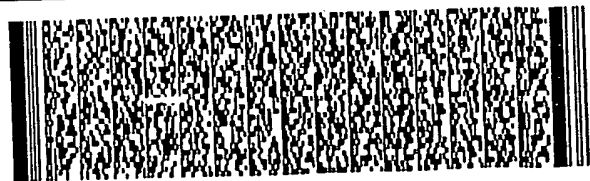
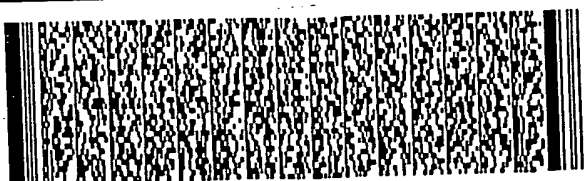
另一方面，目前業界較長常使用的快閃記憶體陣列包括反或閘(NOR)型陣列結構與反及閘(NAND)型陣列結構。由於反及閘(NAND)型陣列結構是使各記憶胞串接在一起，其積集度會較反或閘(NOR)型陣列結構高。然而，反及閘(NAND)型陣列結構中之記憶胞程式化、讀取與抹除的程序較為複雜。一般而言，在反及閘型(NAND)陣列結構中，記憶胞的程式化操作與抹除操作都是採用通道F-N(Fowler-Nordheim)穿隧效應，使電子穿過穿隧氧化層注入浮置閘極，並使電子經由穿隧氧化層從浮置閘極拉出至基底中，因此穿隧氧化層在高電壓操作下，就會受到損害，進而影響其可靠度。而且，由於在陣列中串接了很多記憶胞，因此會有記憶胞之讀取電流較小，而導致記憶胞之操作速度變慢、無法提升元件效能之問題。

發明內容

有鑑於此，本發明之一目的為提供一種反及閘型快閃記憶體陣列、反及閘型快閃記憶胞陣列及其製造方法與操作方法，可以簡單的製作出反及閘型陣列結構之快閃記憶胞，且能夠提高程式化速度，並提高記憶胞效能。

本發明之另一目的為提供一種反及閘型快閃記憶胞陣列、反及閘型快閃記憶胞陣列及其製造方法與操作方法，可以提高記憶胞集積度元件效能。

本發明提供一種反及閘型快閃記憶胞陣列，包括多數個閘極結構，各閘極結構由基底起至少包括穿隧介電層、浮



五、發明說明 (4)

起；多數個抹除閘極設置於閘極結構之間、且位於摻雜區上方；間隙壁設置於閘極結構與抹除閘極之間；介電層設置於抹除閘極與摻雜區之間；第一選擇閘極與第二選擇閘極，分別設置於閘極結構中最外側之兩閘極結構之側壁；選擇閘極介電層設置於第一選擇閘極、第二選擇閘極與基底之間；汲極區設置於第一選擇閘極不與外側之閘極結構相鄰之一側的基底中；源極區設置於第二選擇閘極不與外側之閘極結構相鄰之一側的基底中；多數字元線在行方向平行排列，且連接同一行之閘極結構之控制閘極；多數位元線分別連接第一選擇閘極之該汲極區；源極線分別連接同一行之第二選擇閘極的源極區；多數抹除閘極線在行方向平行排列，且連接同一行之抹除閘極。

在上述NAND(反及閘)型快閃記憶胞陣列中，於摻雜區(源極/汲極區)上設置抹除閘極。因此，記憶胞在進行抹除操作時，可以藉由F-N穿隧效應，將電子從浮置閘極拉出至抹除閘極而移除之。由於本發明是使電子經由抹除閘極移除，而非使電子穿越穿隧氧化層從基底移除，因此本發明並不需要於基底中設置深N型井區，且不需要於陣列周邊設置暴露N型井區之區域，而可以增加元件的集積度。此外，本發明直接於每兩個相鄰兩閘極結構共用一個抹除閘極，因此不會增加快閃記憶胞之體積。

本發明提供一種反及閘型快閃記憶胞之製造方法，此方法係先提供基底，並於此基底上形成多數個閘極結構，這些閘極結構成一行，且閘極結構由基底起依序為穿隧介



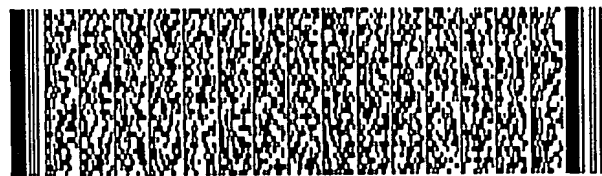
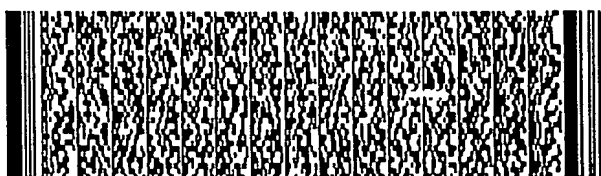
五、發明說明 (5)

電層、浮置閘極、閘間介電層與控制閘極。接著，於閘極結構之間的基底中形成多數個摻雜區後，於摻雜區表面形成介電層，並於浮置閘極之側壁形成第一間隙壁。然後，於閘極結構之間的間隙形成抹除閘極，並於閘極結構中最外側之兩閘極結構的側壁上形成第二間隙壁。之後，於基底上形成選擇閘極介電層，並於第二間隙壁之側壁上形成第一選擇閘極與第二選擇閘極。接著，於第一選擇閘極與第二選擇閘極未與閘極結構相鄰側之基底中形成源極區與汲極區，並於基底上形成與源極區電性連接之源極線。

在上述反及閘型快閃記憶胞之製造方法中，本發明藉由於摻雜區(源極/汲極區)上(亦即閘極結構之間)形成抹除閘極。因此，記憶胞在進行抹除操作時，可以藉由F-N穿隧效應，將電子從浮置閘極拉出至抹除閘極而移除之。

而且，本發明並不需要於基底中形成深N型井區，因此不需要於陣列周邊形成暴露N型井區之區域，而可以增加元件的集積度。此外，本發明直接於每兩個相鄰兩閘極結構共用一個抹除閘極，因此不會增加快閃記憶胞之體積。另外，浮置閘極之材質為砷離子摻雜的多晶矽，因此在形成作為浮置閘極與後續形成之抹除閘極之間的閘間介電層時，可形成有利於進行抹除操作之圓形形狀。

本發明又提供一種反及閘型快閃記憶胞陣列之操作方法，適用於上述之反及閘型快閃記憶胞陣列，此方法係在進行程式化操作時，於選定之位元線施加0伏特電壓，於非選定之位元線施加第一電壓，於第一選擇閘極線施加第

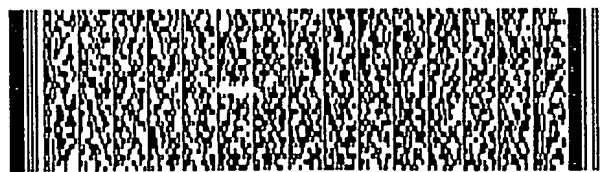
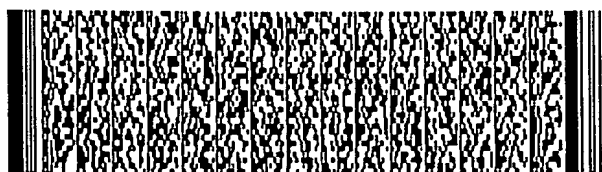


五、發明說明 (6)

二電壓，於選定之記憶胞所耦接之字元線上施加第三電壓，非選定字元線上施加第四電壓，以利用通道F-N穿隧效應程式化選定之該記憶胞。進行讀取操作時，於選定之位元線施加第五電壓，於第一選擇閘極線施加第六電壓，於選定之記憶胞所耦接之字元線上施加0伏特電壓，非選定字元線上施加第七電壓，以讀取記憶胞。在進行抹除操作時，於抹除閘極線上施加第八電壓，此第八電壓與基底一電壓差足以使注入記憶胞之浮置閘極的電子，經由抹除閘極而移除，以進行整個記憶胞陣列之抹除。

本發明於進行NAND(反及閘)型快閃記憶胞陣列之操作時，係利用通道F-N穿隧效應(F-N Tunneling)使電子經由通道穿過穿隧介電層注入浮置閘極中，以進行記憶胞之程式化操作；並利用F-N穿隧效應(F-N Tunneling)使電子從浮置閘極穿過閘間介電層注入抹除閘極中，以進行記憶胞之抹除操作。由於，本發明之操作方式減少了電子穿越穿隧介電層之次數，因此可以提高穿隧介電層之壽命，並增加元件的可靠度。而且，由於在進行程式化操作時，係利用電子注入效率較高的通道F-N穿隧效應，故可以降低記憶胞電流，並且能夠提高操作速度。另外由於程式化及抹除之動作均利用F-N穿隧效應，電流消耗小，可有效降低整個記憶體元件之功率損耗。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (7)

實施方式

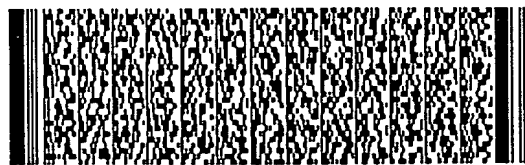
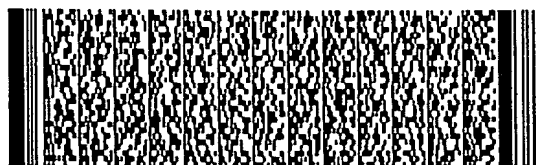
第1圖為繪示一種本發明之NAND(反及閘)型快閃記憶胞陣列之電路簡圖。在本實施例中係以3列之NAND列記憶胞為例做說明。

請參照第1圖，NAND(反及閘)型快閃記憶胞陣列包括多數個選擇電晶體STa1～STa3與STb1～STb3、多數個記憶胞Qa1～Qd3、多數條字元線WL1～WL4、選擇閘極線SG1與SG2。位元線BL1～BL4與抹除閘極線EG1～EG3。

記憶胞Qa1～Qd1在列之方向形成記憶胞列，並串聯連接於選擇電晶體STa1與選擇電晶體STb1之間。記憶胞Qa2～Qd2在列之方向形成記憶胞列，並串聯連接於選擇電晶體STa2與選擇電晶體STb2之間。記憶胞Qa3～Qd3在列之方向形成記憶胞列，並串聯連接於選擇電晶體STa3與選擇電晶體STb3之間。

多數字元線在行方向平行排列，且連接同一行之記憶胞之閘極。亦即，第一行之記憶胞Qa1～Qa3之閘極則耦接至所對應之字元線WL1。第二行之記憶胞Qb1～Qb3之閘極則耦接至所對應之字元線WL2。第三行之記憶胞Qc1～Qc3之閘極則耦接至所對應之字元線WL3。第四行之記憶胞Qd1～Qd3之閘極則耦接至所對應之字元線WL4。

選擇電晶體STa1～STa3之閘極則耦接至選擇閘極線SG1。選擇電晶體STa1～STa3之汲極分別耦接至位元線BL1～BL3。選擇電晶體STb1～STb3之閘極則耦接至選擇閘極線SG2。選擇電晶體STb1～STb2之源極則耦接至源極線

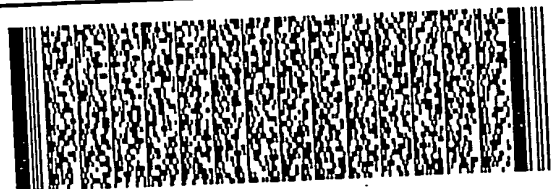
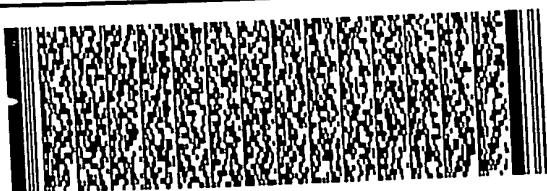


五、發明說明 (8)

SL。在同一列之相鄰兩記憶胞之間設置有抹除閘極，亦即在記憶胞Qa1~Qd1彼此之間分別形成有抹除閘極Ea1~Ec1；在記憶胞Qa2~Qd2彼此之間分別形成有抹除閘極Ea2~Ec2；在記憶胞Qa3~Qd3彼此之間分別形成有抹除閘極Ea3~Ec3。多數抹除閘極線在行方向平行排列，且連接同一行之抹除閘極。亦即，第一行之抹除閘極Ea1~Ea3耦接至所對應之抹除閘極線EG1；第二行之抹除閘極Eb1~Eb3耦接至所對應之抹除閘極線EG2；第三行之抹除閘極Ec1~Ec3耦接至所對應之抹除閘極線EG3。

接著請同時參照第1圖及表一，以明瞭本發明之NAND(反及閘)型快閃記憶胞陣列之操作模式，其係包括程式化、抹除與資料讀取等操作模式。在下述說明中係以第1圖所示之記憶胞Qb2為實例做說明。

請同時參照第1圖，當對記憶胞Qb2進行程式化操作時，於選定位元線WL2上施加偏壓+Vgp，其例如是10伏特至20伏特左右。其他未選定位元線WL1、WL3、WL4上施加偏壓+Vg，其例如是5伏特至7伏特左右，以打開未選定記憶胞之通道區。於選擇閘極線SG1施加偏壓+Vst，其例如是10伏特至20伏特左右，以打開選擇電晶體STa1~STa3之通道，而使位元線BL1~BL3分別與記憶胞Qa1~Qd1、記憶胞Qa2~Qd2、記憶胞Qa3~Qd3電性連接。於選擇閘極線SG2施加0伏特左右之偏壓。選定位元線BL2施加0伏特左右之偏壓；非選定位元線BL1、BL3上施加偏壓+Vb，其例如是5伏特至7伏特左右。源極線SL電壓為0伏特。於抹除閘



五、發明說明 (9)

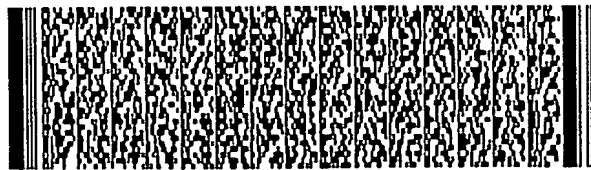
極線EG1~EG3施加0伏特之偏壓。在此種偏壓情況下，即可在選定記憶胞Qb2之浮置閘極與基底之間建立一個大的電場，而得以利用通道F-N穿隧效應(Channel F-N Tunneling)使電子由通道注入浮置閘極中。

在進行上述程式化操作時，共用同一條字元線WL2之記憶胞Qb1、Qb3並不會程式化。這是因為未選定位元線BL1、BL3上施加5伏特至7伏特之電壓，故記憶胞Qb1、Qb3的汲極會施加有5伏特至7伏特之電壓，而可遮蔽浮置閘極與基底之間的高電場，使得浮置閘極與通道之間的電場不足以引發通道F-N穿隧現象，當然就不會程式化記憶胞Qb1、Qb3。

此外，由於未選定字元線WL1、WL3、WL4上施加5伏特至7伏特之電壓，此電壓只是用於打開記憶胞之通道，而不足以引發通道F-N穿隧現象，因此非選定字元線WL1、WL3、WL4所連接的記憶胞Qa1~Qa3、Qc1~Qc3、Qd1~Qd3不會被程式化。

而且在上述說明中，雖係以記憶元件陣列中單一記憶胞為單位進行程式化，然而本發明之NAND(反及閘)型快閃記憶胞陣列之程式化也可藉由各字元線、選擇閘極線、位元線的控制，而以位元組、節區，或是區塊為單位進行程式化。

當讀取記憶胞Qb2之資料時，於選擇閘極線SG1施加偏壓+Vst，其例如是5伏特至7伏特左右，以打開選擇電晶體STa1~STa3之通道，而使位元線BL1~BL3分別與記憶胞



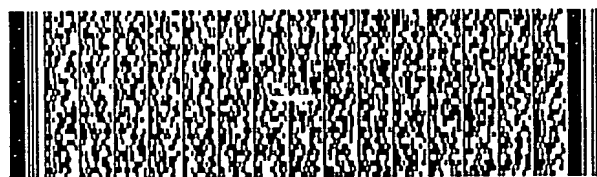
五、發明說明 (10)

Qa1 ~ Qa3 電性連接。於選擇閘極線SG2施加偏壓+Vst，其例如是5伏特至7伏特左右，以打開選擇電晶體STb1 ~ STb3之通道，而使源極線SL分別與記憶胞Qd1 ~ Qd3電性連接。於選定位元線BL2上施加1伏特至2伏特左右之偏壓Vdr，非選定位元線BL1、BL3之電壓為0伏特。選定字元線WL2施加0伏特左右之偏壓，其他未選定字元線WL1、WL3、WL4上施加偏壓Vg，其例如是5伏特至7伏特左右，以打開記憶胞之通道區。於抹除閘極線EG1 ~ EG3施加0伏特之偏壓。由於此時浮置閘極中存有電荷量的記憶胞的通道關閉且電流很小，而浮置閘極中未存有電荷量的記憶胞的通道打開且電流大，故可藉由記憶胞之通道開關/通道電流大小來判斷儲存於此記憶胞中的數位資訊是「1」還是「0」。

而且在上述說明中，雖係以記憶元件陣列中單一記憶胞為單位進行讀取操作，然而本發明之NAND(反及閘)型快閃記憶胞陣列之讀取操作也可藉由各字元線、選擇閘極線、位元線的控制，而讀取以位元組、節區，或是區塊為單位之資料。

接著說明本發明NAND(反及閘)型快閃記憶胞陣列之抹除方法。如表一所示，本發明之抹除方法係為對整個NAND(反及閘)型快閃記憶胞陣列作抹除為例作說明。

當對記憶胞進行抹除時，於所有抹除閘極線EG1至EG3上施加偏壓+Vge，其例如是10伏特至20伏特左右。源極線SL、字元線WL1 ~ WL4、位元線BL1 ~ BL3及選擇閘極線SG1 ~ SG2為浮置。於是施加於抹除閘極與浮置閘極之間的電



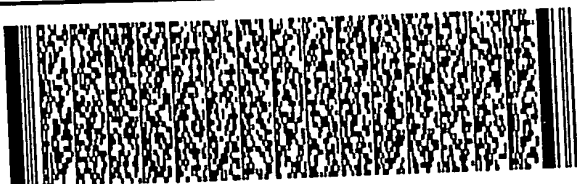
五、發明說明 (11)

壓足以在抹除閘極與浮置閘極之間建立一個大的電場，而得以利用F-N穿隧效應(F-N Tunneling)使電子由浮置閘極穿過閘間介電層(抹除閘極與浮置閘極之間的介電層)注入抹除閘極而移除。

上述本發明之抹除方法係以對整個NAND(反及閘)型快閃記憶體陣列作抹除為例作說明。當然本發明之NAND(反及閘)型快閃記憶體陣列之抹除操作也可藉由抹除閘極線的控制，而以節區或是區塊為單位進行抹除。舉例來說，若只選擇於抹除閘極線EG1施加偏壓 $+V_{ge}$ ，則只有記憶體Qa1~Qa3、記憶體Qb1~Qb3中的資料會被抹除。亦即，共有一抹除閘極線的兩行記憶體中的資料會被抹除。

此外，本發明於進行NAND(反及閘)型快閃記憶體陣列之操作時，係利用通道F-N穿隧效應(F-N Tunneling)使電子經由通道穿過穿隧介電層注入浮置閘極中，以進行記憶體之程式化操作；並利用F-N穿隧效應(F-N Tunneling)使電子從浮置閘極穿過閘間介電層注入抹除閘極中，以進行記憶體之抹除操作。由於，本發明之操作方式減少了電子穿越穿隧介電層之次數，因此可以提高穿隧介電層之壽命，並增加元件的可靠度。而且，由於在進行程式化操作時，係利用電子注入效率較高的通道F-N穿隧效應，故可以降低記憶體電流，並且能夠提高操作速度。另外由於程式化及抹除之動作均利用F-N穿隧效應，電流消耗小，可有效降低整個記憶體元件之功率損耗。

接著，說明本發明之反及閘(NAND)型快閃記憶體陣列



五、發明說明 (12)

之結構。

第2圖為繪示本發明之反及閘(NAND)型快閃記憶體胞陣列之結構剖面圖。在第2圖中繪示有共用同一條源極線的兩記憶體胞列，而一個記憶體胞列中具有有四個記憶體胞。以下只針對一個記憶體胞列做說明。

請參照第2圖，本發明之NAND(反及閘)型快閃記憶體胞陣列結構至少是由基底100、P型井區102、多個閘極結構104a~104d(各個閘極結構104a~104d包括穿隧介電層106、浮置閘極108、閘間介電層110、控制閘極112、間隙壁114與間隙壁116)、摻雜區(源極/汲極區)120、多個抹除閘極122a~122c、介電層124、間隙壁126、選擇閘極128a~128b、選擇閘極介電層130、源極區132、汲極區134、層間介電層136、插塞138、源極線134所構成。

基底100例如是矽基底，在此基底100中例如是設置有P型井區102。

多個閘極結構104a~104d設置於基底100上。各個閘極結構104a~104d由基底100起依序為穿隧介電層106、浮置閘極108、閘間介電層110與控制閘極112。間隙壁114例如是設置於控制閘極112之頂部與側壁。間隙壁116例如是設置於浮置閘極108之側壁。

多數個摻雜區(源極/汲極區)120例如是設置於兩相鄰之閘極結構104a~104d之間的基底100中，而使閘極結構104a~104d串聯連接在一起。

介電層124設置摻雜區(源極/汲極區)120，亦即位於



五、發明說明 (13)

於閘極結構104a~104d之間的基底100上。間隙壁126設置於閘極結構104a~104d側壁。

多數個抹除閘極128a~128b例如是設置於閘極結構104a~104d之間、且位於摻雜區(源極/汲極區)120上方。其中抹除閘極128a~128b例如是填滿閘極結構104a~104d之間的間隙。介電層124則設置於抹除閘極128a~128b與摻雜區(源極/汲極區)120之間。

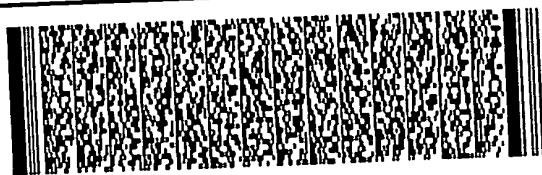
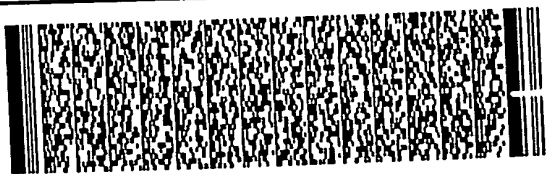
選擇閘極128a與選擇閘極128b分別設置於閘極結構104a~104d中最外側之兩閘極結構(104a與104d)之側壁。選擇閘極介電層130設置於選擇閘極128a(選擇閘極128b)與基底100之間。

源極區132設置於選擇閘極128b不與閘極結構104d相鄰之一側的基底100中。汲極區134設置於選擇閘極128a不與閘極結構104a相鄰之一側的基底100。

層間介電層136設置於基底100上。源極線140設置於層間介電層136上，且藉由插塞138與源極區132電性連接。

在上述NAND(反及閘)型快閃記憶體胞陣列中，於摻雜區(源極/汲極區)120上設置抹除閘極122a~122c。因此，記憶體胞在進行抹除操作時，可以藉由F-N穿隧效應，將電子從浮置閘極拉出至抹除閘極122a~122c而移除之。

而且，本發明與習知的NAND(反及閘)型快閃記憶體胞陣列相比較，由於本發明是使電子經由抹除閘極移除，而非習知使電子穿越穿隧氧化層從基底移除，因此本發明並不



五、發明說明 (14)

需要於基底中設置深N型井區，且不需要於陣列周邊設置暴露N型井區之區域，而可以增加元件的集積度。

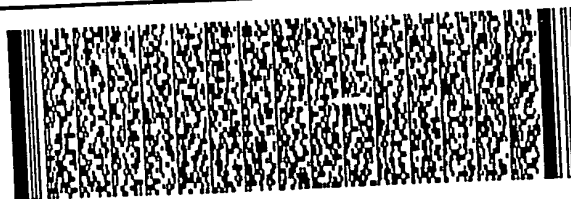
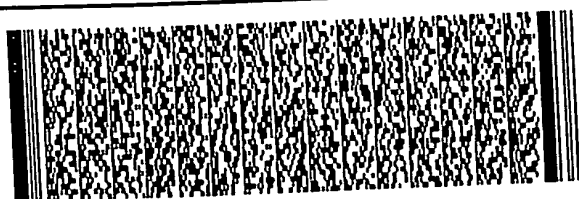
此外，本發明直接於每兩個相鄰兩閘極結構104a～104d共用一個抹除閘極122a～122c，因此不會增加快閃記憶體之體積。

在上述實施例中，係以使四個記憶體結構串接在一起為實例做說明。當然，在本發明中串接的記憶體結構的數目，可以視實際需要串接適當的數目，舉例來說，同一條位元線可以串接32至64個記憶體結構。

接著，說明本發明之NAND(反及閘)型快閃記憶體陣列的製造方法，第3A圖至第3G圖為繪示本發明之NAND(反及閘)型快閃記憶體陣列的製造流程剖面圖。而且，第3A圖至第3G圖係只針對主動區上的製程剖面做說明。

首先請參照第3A圖，提供基底200，在此基底200中已形成元件隔離結構(未圖示)M以定義出主動區。接著，於基底200中形成P型井區202。然後，於此基底300表面形成一層穿隧介電層204，此穿隧介電層204之材質例如是氧化矽，穿隧介電層204之形成方法例如是熱氧化法，其厚度例如是85埃～110埃左右。

接著，於穿隧介電層204上形成一層條狀的導體層206，其材質例如是摻雜的多晶矽，此導體層206之形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層後，進行離子植入步驟以形成之。導體層206之厚度例如是200埃至500埃左右，植入導體層206之摻質例如是砷離



五、發明說明 (15)

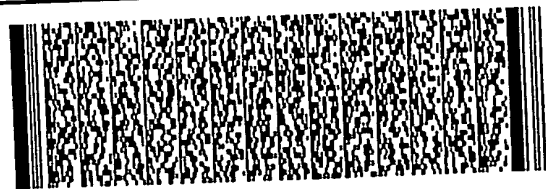
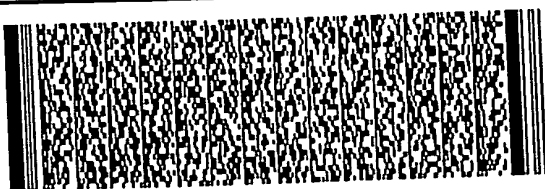
子，以利在後續的熱氧化製程中形成有利於抹除之圓形形狀。

接著，請參照第3B圖，於基底200上形成一層閘間介電層208。閘間介電層208之材質例如是氧化矽/氮化矽/氧化矽等，而各層之厚度分別是50~80埃、40~70埃以及30~60埃。閘間介電層208之形成步驟例如是先以熱氧化法形成一層氧化矽層後，利用化學氣相沈積法形成氮化矽層，接著再用濕氫/氧氣(H_2/O_2 gas)去氧化部分氮化矽層而形成另一層氧化矽層。當然，閘間介電層208之材質也可以是氧化矽層、氧化矽/氮化矽等。

接著，於基底200上形成一層導體層(未圖示)後，利用罩幕將導體層圖案化，用以定義出做為控制閘極之用的導體層210。導體層210之材質例如是摻雜的多晶矽，導體層210之形成方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法以形成之。

移除罩幕之後，於導體層210之側壁與頂部形成絕緣層212(間隙壁)。絕緣層212(間隙壁)之材質例如是氧化矽，形成絕緣層212(間隙壁)之方法例如是熱氧化法。而且，絕緣層212(間隙壁)之形成方法也可以先沈積一層絕緣材料層後，進行一蝕刻步驟，而只留下位於導體層212頂部與側壁之絕緣材料層。當然，在導體層210上也可以形成有一層頂蓋層(未圖示)，然後直接在導體層210側壁形成間隙壁。

接著請參照第3C圖，以導體層210與絕緣層212(間隙

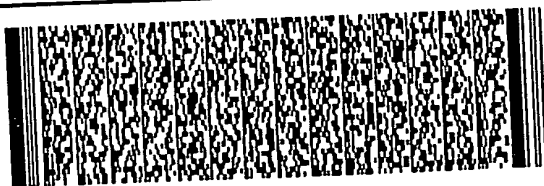
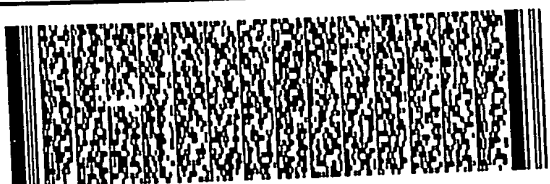


五、發明說明 (16)

壁)為單幕定義閘間介電層208、導體層206與穿隧介電層204，使其分別形成閘間介電層208a、導體層206a與穿隧介電層204a。其中，導體層206a係做為浮置閘極之用。亦即，圖示之導體層(控制閘極)210、閘間介電層208a、導體層(浮置閘極)206a與氧化層204a(穿隧氧化層)構成閘極結構214。然後，於整個基底200上形成一層圖案化單幕層216，此圖案化單幕層216暴露預定形成摻雜區218(源極/汲極區)的區域。然後，以圖案化單幕層216與閘極結構214為單幕進行離子植入步驟，於基底100中植入摻質而形成摻雜區218(源極/汲極區)。其中，摻雜區218(源極/汲極區)形成於每兩相鄰閘極結構214之間。

接著請參照第3D圖，移除圖案化單幕層216後，於閘極結構之間的摻雜區218(源極/汲極區)表面形成介電層220、於基底200上形成介電層224、並於導體層206a(浮置閘極)之側壁形成絕緣層(間隙壁)222。其中，絕緣層(間隙壁)222即作為浮置閘極與後續形成之抹除閘極之間的閘間介電層。介電層220、介電層224與絕緣層(間隙壁)222之材質例如是氧化矽，介電層220、介電層224與絕緣層(間隙壁)222之形成方法例如是熱氧化法。其中，介電層220之厚度例如是300埃以上，其厚度較佳為300埃至500埃左右。

接著請參照第3E圖，於摻雜區218(源極/汲極區)上(亦即，閘極結構214之間)形成導體層226，此導體層226係作為抹除閘極之用。導體層226之材質例如是摻雜的多



五、發明說明 (17)

晶矽，導體層226之形成方法例如是先以臨場摻雜離子之方式，利用化學氣相沈積法於基底200上形成一層導體層(未圖示)，此導體層填滿閘極結構214之間的間隙。然後，移除閘極結構214之間隙內以外的導體層以形成之。

接著，於閘極結構214最外側之兩閘極結構214未形成有導體層226之側壁形成間隙壁228。間隙壁228之形成步驟例如是先形成厚度例如是150埃至400埃左右之高溫氧化矽層(High Temperature Oxide, HTO)，然後利用非等向性蝕刻製程移除部分高溫氧化矽層而形成之。介電層224在形成間隙壁228時，也會被移除而只留下間隙壁228下方之介電層，此殘留下之介電層也可視為間隙壁228之一部份。

接著請參照第3F圖，於基底200上形成一層圖案化罩幕層230，此圖案化罩幕層230覆蓋導體層226。然後，於基底200上形成選擇閘極介電層232。選擇閘極介電層232之材質例如是氧化矽，其厚度例如是90埃至100埃，選擇閘極介電層232之形成方法例如是熱氧化法。

接著，於閘極結構214最外側之兩閘極結構214未形成有導體層226之側壁形成導體層234。導體層234之材質例如是摻雜的多晶矽，導體層234之形成方法例如是先以臨場摻雜離子之方式，利用化學氣相沈積法於基底300上形成一層導體層(未圖示)。然後，利用非等向性蝕刻製程移除部分導體層以形成之。其中，導體層234係作為記憶體胞列的選擇閘極。



五、發明說明 (18)

接著請參照第3G圖，以圖案化罩幕層230、閘極結構214與導體層234為罩幕，利用離子植入法而於導體層234一側之基底200中形成源極區236、汲極區238。之後，移除圖案化罩幕層230後，於基底200上形成層間介電層240，於層間介電層240中形成與源極區236電性連接的插塞242，並於層間介電層240上形成與插塞242電性連接的導線244(源極線)。後續完成快閃記憶體之製程為習知技藝者所周知，在此不再贅述。

在上述實施例中，本發明藉由於於摻雜區(源極/汲極區)上(亦即閘極結構之間)形成抹除閘極。因此，記憶胞在進行抹除操作時，可以藉由F-N穿隧效應，將電子從浮置閘極拉出至抹除閘極而移除之。

而且，本發明並不需要於基底中形成深N型井區，因此不需要於陣列周邊形成暴露N型井區之區域，而可以增加元件的集積度。此外，本發明直接於每兩個相鄰兩閘極結構共用一個抹除閘極，因此不會增加快閃記憶胞之體積。另外，浮置閘極之材質為砷離子摻雜的多晶矽，因此在形成作為浮置閘極與後續形成之抹除閘極之間的閘間介電層時，可形成有利於進行抹除操作之圓形形狀。

在上述實施例中，係以使四個記憶胞結構串接在一起為實例做說明。當然，在本發明中串接的記憶胞結構的數目，可以視實際需要串接適當的數目，舉例來說，同一條位元線可以串接32至64個記憶胞結構。

雖然本發明已以一較佳實施例揭露如上，然其並非用



五、發明說明 (19)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為繪示一種本發明之NAND(反及閘)型快閃記憶胞陣列之電路簡圖。

第2圖為繪示本發明之反及閘(NAND)型快閃記憶胞陣列之結構剖面圖。

第3A圖至第3G圖為繪示本發明之NAND(反及閘)型快閃記憶胞陣列的製造流程剖面圖。

表一為本發明之NAND(反及閘)型快閃記憶胞陣列的操作電壓表。

圖式標示說明：

100、200：基底

102、202：P型井區

104a、104b、104c、104d、214：閘極結構

106、204、204a：穿隧介電層

108：浮置閘極

110、208、208a：閘間介電層

112：控制閘極

114、116、126、212、222、228：間隙壁

120、218：摻雜區(源極/汲極區)

122a、122b、122c：抹除閘極

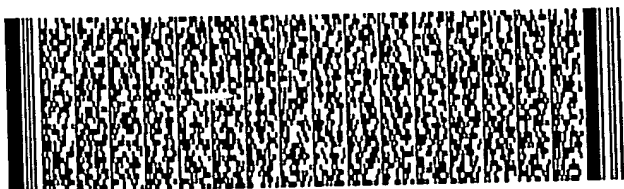
124：介電層

128a、128b、234：選擇閘極

130、232：選擇閘極介電層

132、236：源極區

134、238：汲極區



圖式簡單說明

136、240：層間介電層

138、242：插塞

140、244：源極線

206、206a、210、226：導體層

216、230：圖案化罩幕層

220、224：介電層

BL1～BL4：位元線

EG1～EG3：抹除閘極線

Ea1～Ec3：抹除閘極

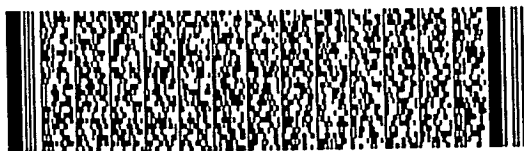
Qa1～Qd3：記憶胞

SG1、SG2：選擇閘極線

SL：源極線

STa1～STa2、STb1～STb3：選擇電晶體

WL1～WL4：字元線



六、申請專利範圍

1. 一種反及閘型快閃記憶胞列，包括：

多數個閘極結構，各該閘極結構由一基底起至少包括一穿隧介電層、一浮置閘極、一閘間介電層與一控制閘極；

多數個摻雜區，設置於該些閘極結構之間的該基底中，而使該些閘極結構串聯連接在一起；

多數個抹除閘極，設置於該些閘極結構之間、且位於該些摻雜區上方；

一間隙壁，設置於該些閘極結構與該些抹除閘極之間；

一介電層，設置於該些抹除閘極與該些摻雜區之間；

一第一選擇閘極與一第二選擇閘極，分別設置於些閘極結構中最外側之該兩閘極結構之側壁；

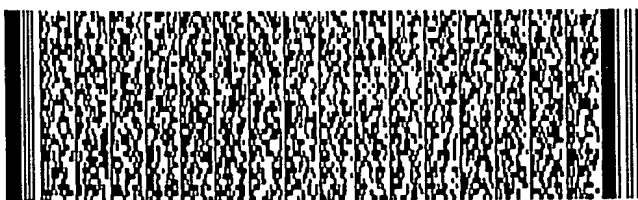
一選擇閘極介電層，設置於該第一選擇閘極、該第二選擇閘極與該基底之間；

一汲極區，設置於該第一選擇閘極不與外側之該閘極結構相鄰之一側的該基底中；以及

一源極區，設置於該第二選擇閘極不與外側之該閘極結構相鄰之一側的該基底中。

2. 如申請專利範圍第1項所述之反及閘型快閃記憶胞列，其中該抹除閘極填滿該些記憶胞閘極結構之間的間隙。

3. 如申請專利範圍第1項所述之反及閘型快閃記憶胞列，其中該選擇閘極介電層之厚度包括90埃至100埃左



六、申請專利範圍

12. 如申請專利範圍第7項所述之反及閘型快閃記憶胞陣列，其中該介電層之厚度包括300埃至500埃左右。

13. 一種反及閘型快閃記憶胞陣列之製造方法，包括：

提供一基底；

於該基底上形成多數個閘極結構，該些閘極結構成一列，各該些閘極結構由該基底起依序為一穿隧介電層、一浮置閘極、一閘間介電層與一控制閘極；

於該些閘極結構之間的該基底中形成多數個摻雜區；

於該些摻雜區表面形成一介電層，並於該浮置閘極之側壁形成一第一間隙壁；

於該些閘極結構之間的間隙形成一抹除閘極；

於該些閘極結構中最外側之該兩閘極結構的側壁上形成一第二間隙壁；

於該基底上形成一選擇閘極介電層；

於該第二間隙壁之側壁上形成一第一選擇閘極與一第二選擇閘極；

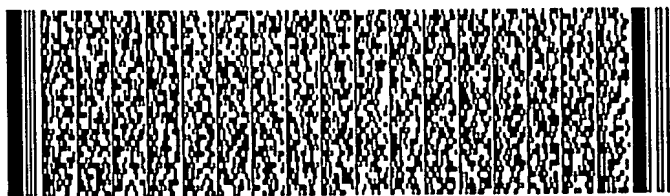
於該第一選擇閘極與該第二選閘極未與該些閘極結構相鄰側之該基底中形成一源極區與一汲極區；以及

於該基底上形成與該源極區電性連接之一源極線。

14. 如申請專利範圍第13項所述之反及閘型快閃記憶胞陣列之製造方法，其中該些閘極結構之形成步驟包括：

於該基底上形成一第一介電層；

於該介電層上形成一第一導體層；



六、申請專利範圍

右。

4. 如申請專利範圍第1項所述之反及閘型快閃記憶胞列，其中該閘間介電層之材質包括氧化矽/氮化矽/氧化矽。

5. 如申請專利範圍第1項所述之反及閘型快閃記憶胞陣列，其中該浮置閘極之材質為摻雜砷離子之多晶矽。

6. 如申請專利範圍第1項所述之反及閘型快閃記憶胞列，其中該介電層之厚度包括300埃至500埃左右。

7. 一種反及閘型快閃記憶胞陣列，包括：

多數個記憶胞列，呈二維配置，而成一記憶胞陣列，各該記憶胞列中包括：

多數個閘極結構，各該閘極結構由一基底起至少包括一穿隧介電層、一浮置閘極、一閘間介電層與一控制閘極；

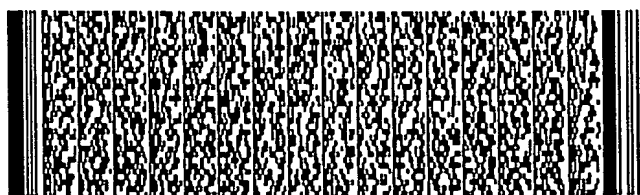
多數個摻雜區，設置於該些閘極結構之間的該基底中，而使該些閘極結構串聯連接在一起；

多數個抹除閘極，設置於該些閘極結構之間、且位於該些摻雜區上方；

一間隙壁，設置於該些閘極結構與該些抹除閘極之間；

一介電層，設置於該些抹除閘極與該些摻雜區之間；

一第一選擇閘極與一第二選擇閘極，分別設置於些閘極結構中最外側之該兩閘極結構之側壁；



六、申請專利範圍

一選擇閘極介電層，設置於該第一選擇閘極、該第二選擇閘極與該基底之間；

一汲極區，設置於該第一選擇閘極不與外側之該閘極結構相鄰之一側的該基底中；

一源極區，設置於該第二選擇閘極不與外側之該閘極結構相鄰之一側的該基底中；

多數字元線，在行方向平行排列，且連接同一行之該些閘極結構之該控制閘極；

多數位元線，分別連接該第一選擇閘極之該汲極區

一源極線，分別連接同一行之該第二選擇閘極之該源極區；以及

多數抹除閘極線，在行方向平行排列，且連接同一行之該些抹除閘極。

8. 如申請專利範圍第7項所述之反及閘型快閃記憶體胞陣列，其中該抹除閘極填滿該些記憶體胞閘極結構之間的間隙。

9. 如申請專利範圍第7項所述之反及閘型快閃記憶體胞陣列，其中該選擇閘極介電層之厚度包括90埃至100埃左右。

10. 如申請專利範圍第7項所述之反及閘型快閃記憶體胞陣列，其中該閘間介電層之材質包括氧化矽/氮化矽/氧化矽。

11. 如申請專利範圍第7項所述之反及閘型快閃記憶體胞陣列，其中該浮置閘極之材質為摻雜砷離子之多晶矽。



六、申請專利範圍

於該第一導體層上形成一第二介電層；

於該閘間介電層上形成一第二導體層；

圖案化該第二導體層以形成該控制閘極；以及

圖案化該第二介電層、該第一導體層、該第一介電層以形成該閘間介電層、該浮置閘極與該穿隧介電層。

15. 如申請專利範圍第13項所述之反及閘型快閃記憶體陣列之製造方法，其中於形成該控制閘極之步驟後與形成該閘間介電層、該浮置閘極與該穿隧介電層之步驟前，更包括於該控制閘極之側壁與頂部形成一第三間隙壁。

16. 如申請專利範圍第14項所述之反及閘型快閃記憶體陣列之製造方法，其中於該控制閘極之側壁與頂部形成該第三間隙壁之方法包括熱氧化法。

17. 如申請專利範圍第14項所述之反及閘型快閃記憶體陣列之製造方法，其中於形成該閘間介電層、該浮置閘極與該穿隧介電層步驟中，包括以具有該第三間隙壁之該控制閘極作為自行對準罩幕。

18. 如申請專利範圍第13項所述之反及閘型快閃記憶體陣列之製造方法，其中於該些摻雜區表面形成該介電層，並於該浮置閘極之側壁形成該第一間隙壁之方法包括熱氧化法。

19. 如申請專利範圍第13項所述之反及閘型快閃記憶體陣列之製造方法，其中於該基底上形成該選擇閘極介電層之方法包括熱氧化法。

20. 如申請專利範圍第13項所述之反及閘型快閃記憶



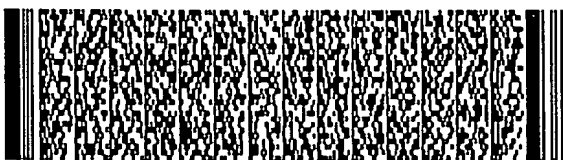
六、申請專利範圍

胞陣列之製造方法，其中該浮置閘極之材質包括摻雜砷離子之多晶矽。

21. 一種反及閘型快閃記憶胞陣列之操作方法，該記憶胞陣列包括多數個記憶胞列，各該記憶胞列中之該些記憶胞串聯連接於一第一選擇電晶體與一第二選擇選擇之間；各該些記憶胞至少包括由一基底、一穿隧介電層、一浮置閘極、一閘間介電層、一控制閘極與一源極/汲極區，在每兩相鄰該些記憶胞之間設置有一抹除閘極；多數字元線在行方向平行排列，且連接同一行之該些記憶胞之該控制閘極；一源極線分別連接同一行之該些第一選擇電晶體之源極；多數位元線連接各該些第二選擇電晶體之汲極；一第一選擇閘極線連接同一行之該些第一選擇電晶體之閘極，一第二選擇閘極線連接同一行之該些第二選擇電晶體之閘極；多數抹除閘極線在行方向平行排列，且連接同一行之該些抹除閘極，該方法包括：

進行程式化操作時，於選定之該位元線施加0伏特電壓，於非選定之該位元線施加一第一電壓，於該第一選擇閘極線施加一第二電壓，於選定之該記憶胞所耦接之該字元線上施加一第三電壓，非選定該些字元線上施加一第四電壓，以利用通道F-N穿隧效應程式化選定之該記憶胞；

進行讀取操作時，於選定之該位元線施加一第五電壓，於該第一選擇閘極線施加一第六電壓，於選定之該記憶胞所耦接之該字元線上施加0伏特電壓，非選定該些字元線上施加一第七電壓，以讀取該記憶胞；以及



六、申請專利範圍

在進行抹除操作時，於該些抹除閘極線上施加一第八電壓，該第八電壓與該基底一電壓差足以使注入該些記憶胞之該浮置閘極的電子，經由該抹除閘極而移除，以進行整個記憶胞陣列之抹除。

22. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第一電壓為5伏特至7伏特左右。

23. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第二電壓為10伏特至20伏特左右。

24. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第三電壓為10伏特至20伏特左右。

25. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第四電壓為5伏特至7伏特左右。

26. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第五電壓為1伏特至2伏特左右。

27. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第六電壓為5伏特至7伏特左右。

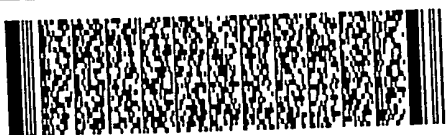
28. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第七電壓為5伏特至7伏特左

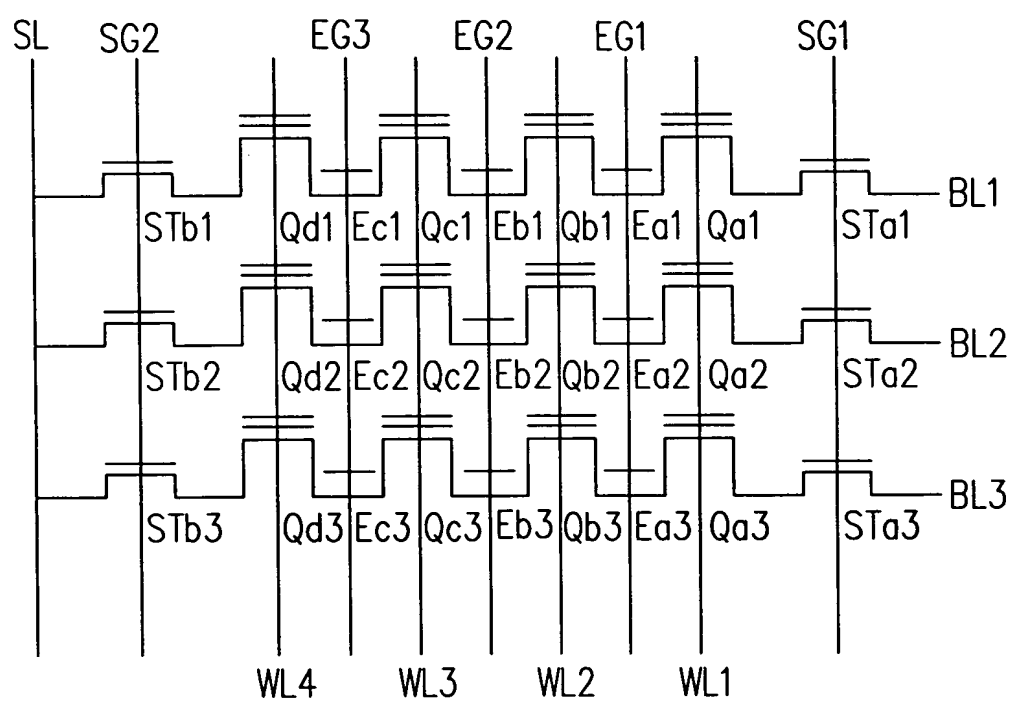


六、申請專利範圍

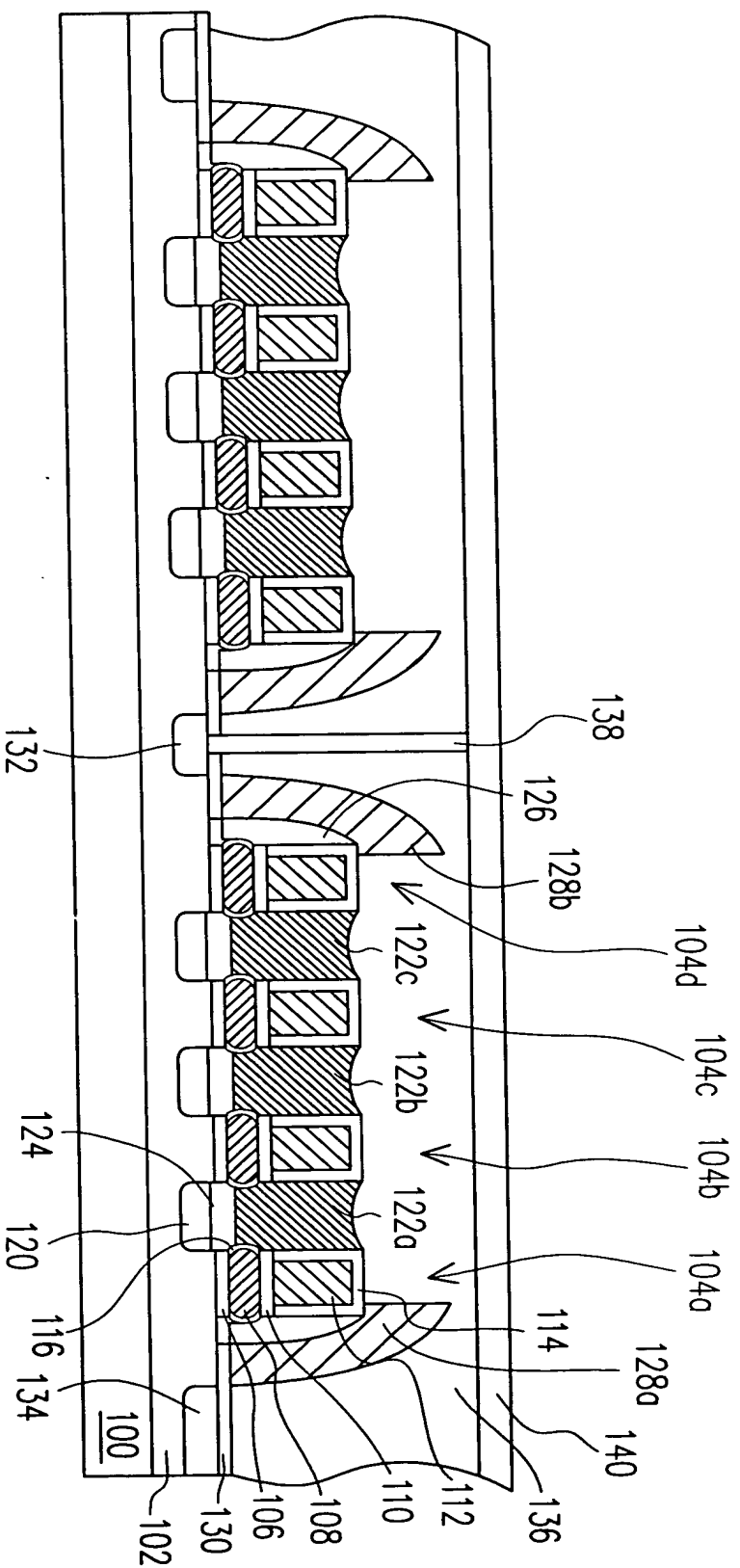
右。

29. 如申請專利範圍第21項所述之反及閘型快閃記憶胞陣列之操作方法，其中該第八電壓為10伏特至20伏特左右。

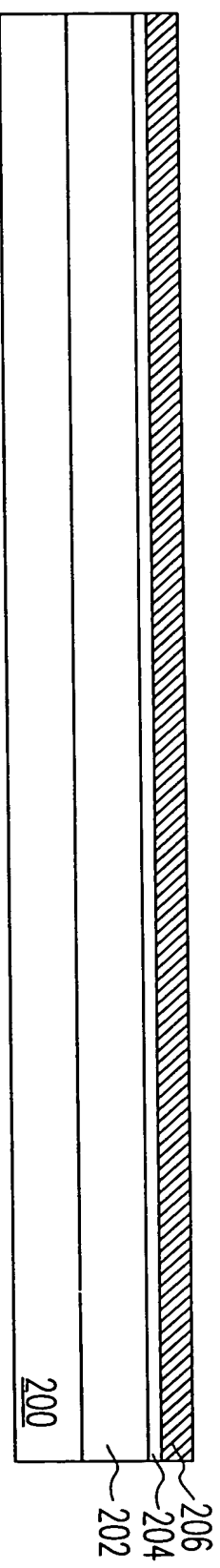




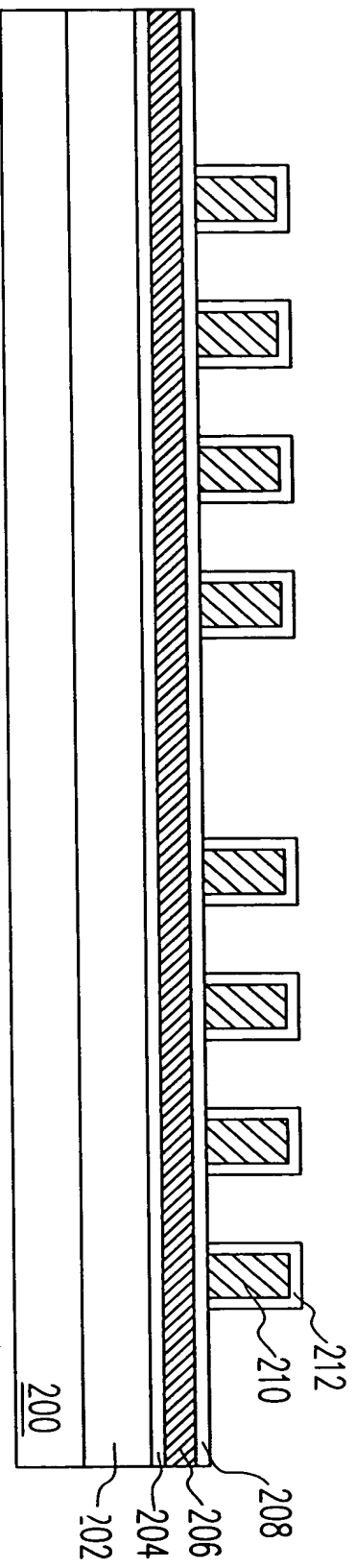
第 1 圖



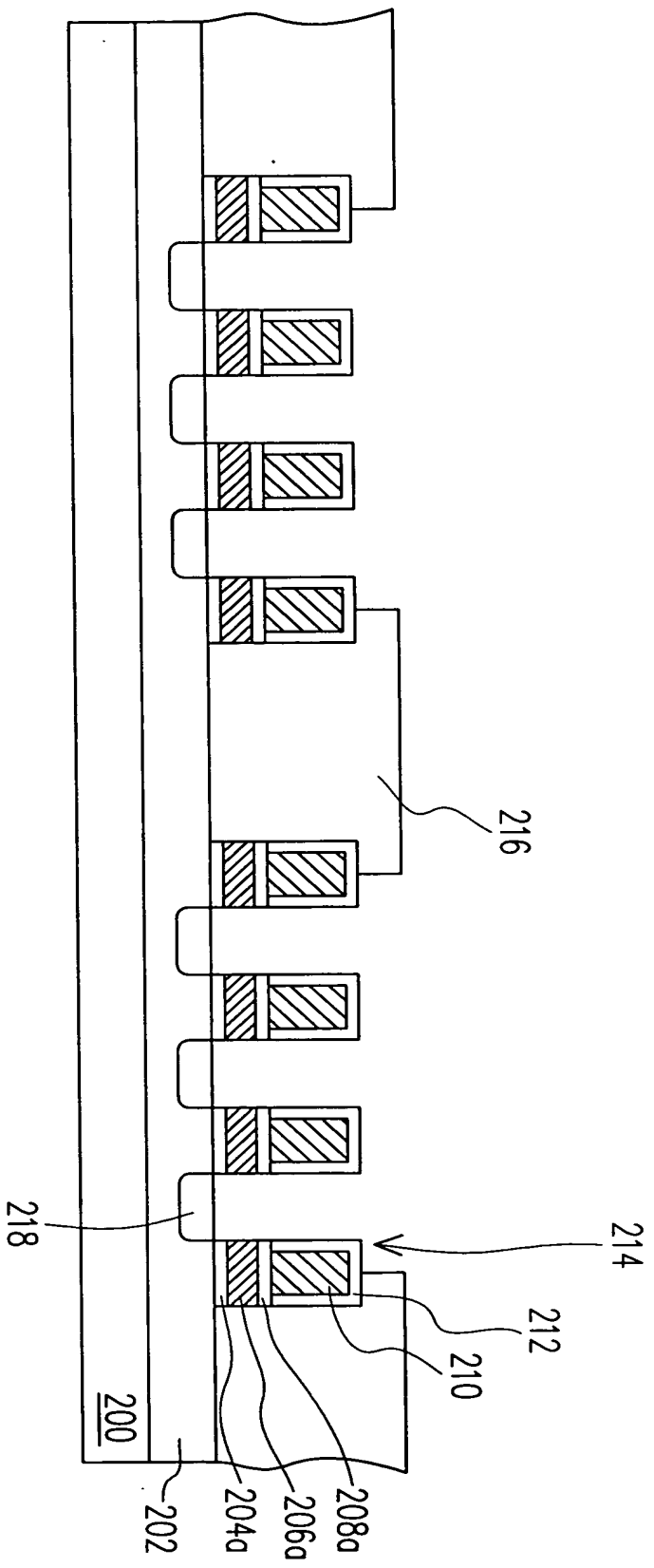
第 2 圖



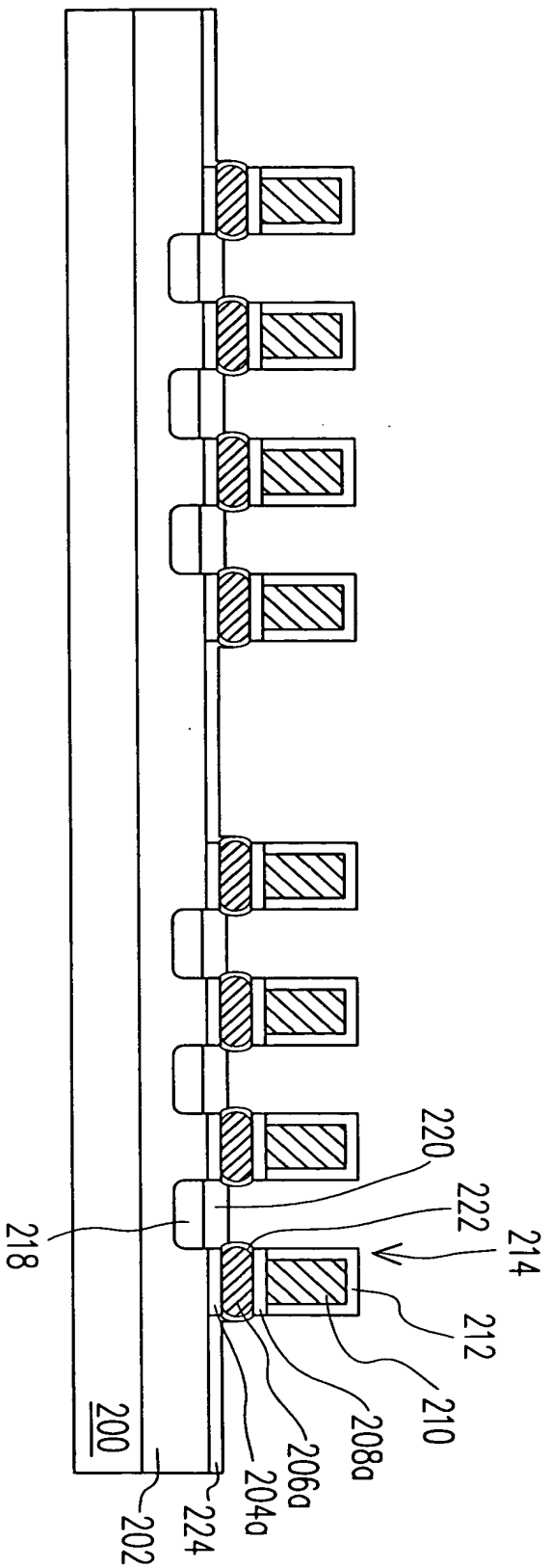
第3A圖



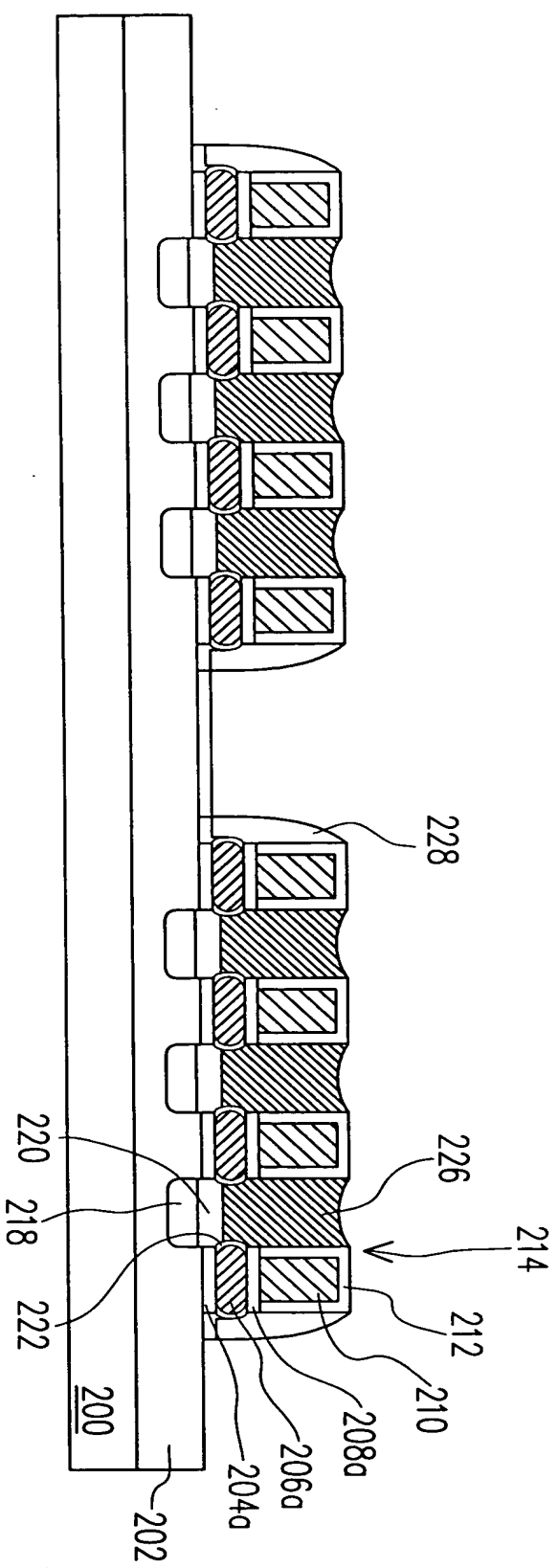
第3B圖



第3C圖



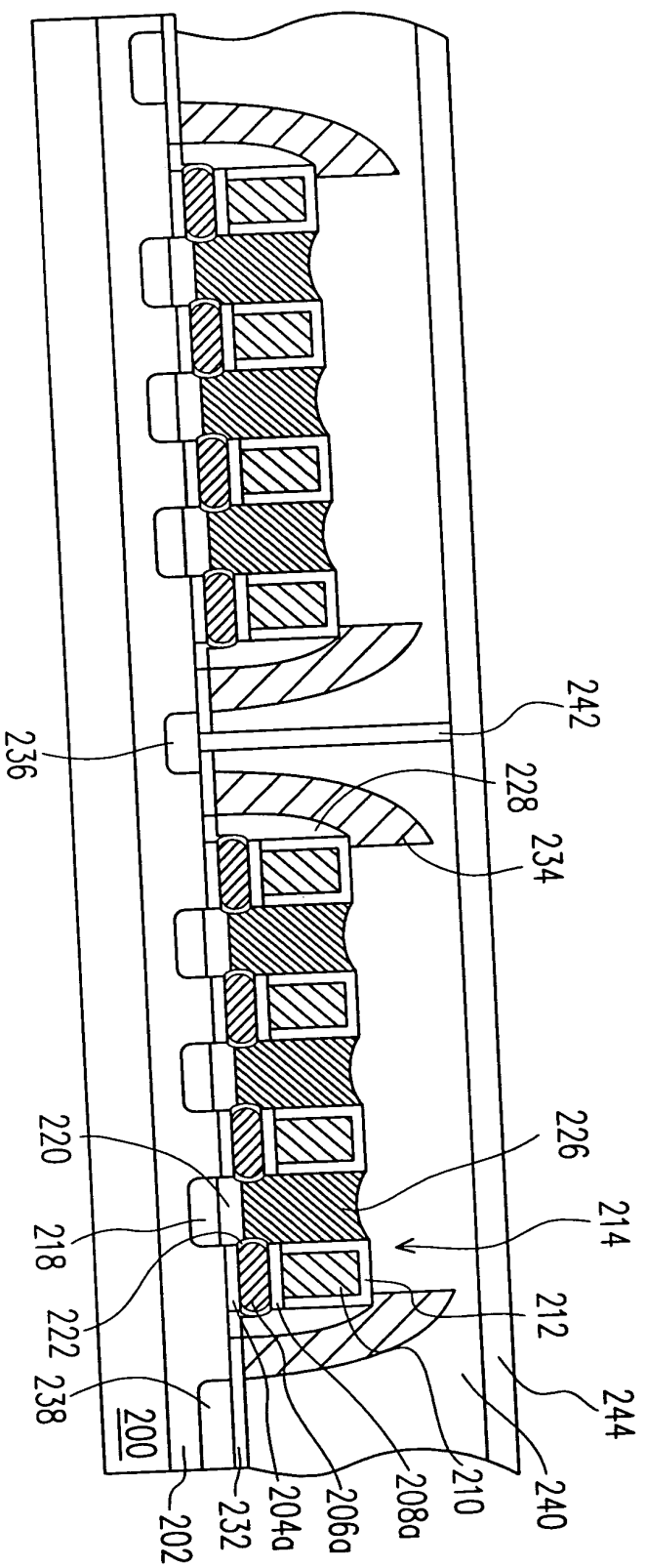
第3D圖



第三圖



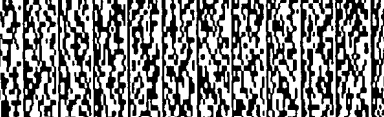

第3圖



第 3G 圖



表一

	程式化	抹除	讀取
選定字元線 WL2	+V _{gp}	0	0
非選定字元線 WL1、WL3、 WL4	+V _g	0	+V _g
選定位元線 BL2	0	0	+V _{br}
非選定位元線 BL1、BL3	+V _b	0	0
選擇閘極線 SG1	V _{st}	0	V _{st}
選擇閘極線 SG2	0	0	V _{st}
源極線 SL	0	浮置	0
抹除閘極線 EG1、EG2、EG3	0	+V _{ge}	0

[illegible]

100

100



100



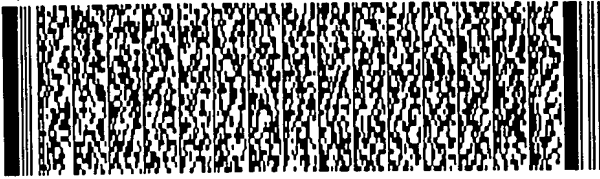
100

100

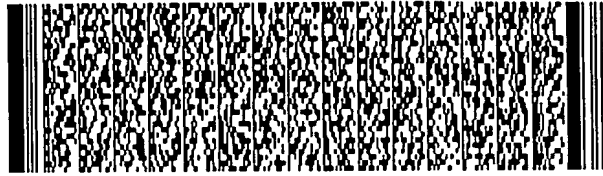
100



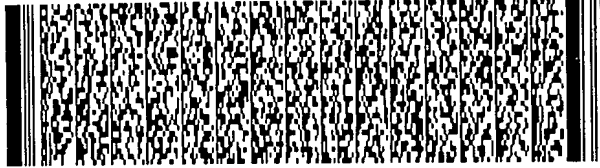
第 11/35 頁



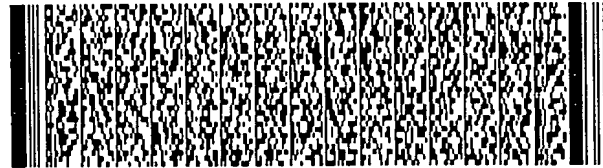
第 11/35 頁



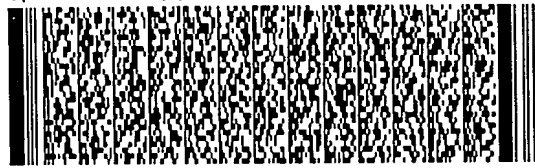
第 12/35 頁



第 12/35 頁



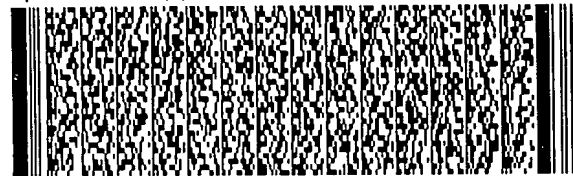
第 13/35 頁



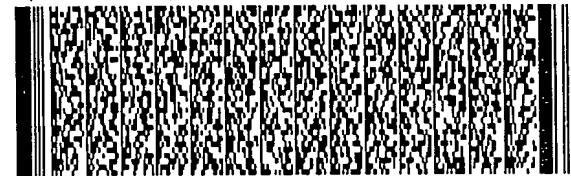
第 13/35 頁



第 14/35 頁



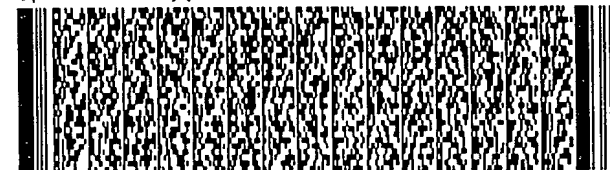
第 14/35 頁



第 15/35 頁



第 15/35 頁



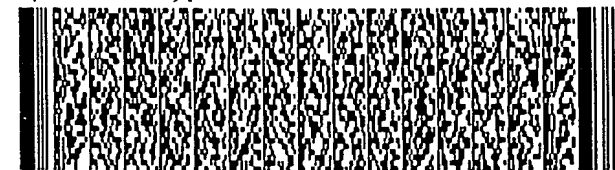
第 16/35 頁



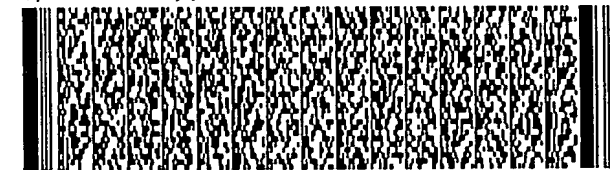
第 16/35 頁



第 17/35 頁



第 17/35 頁



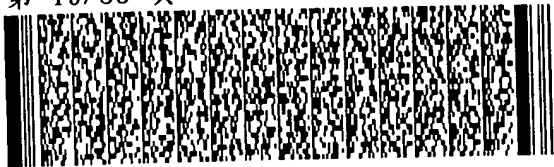
第 18/35 頁



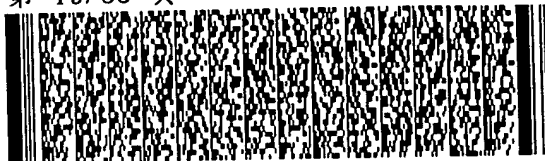
第 18/35 頁



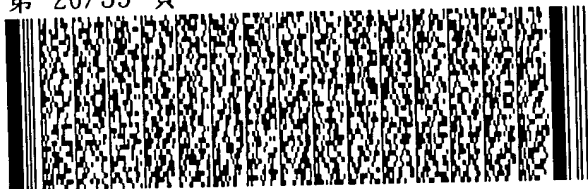
第 19/35 頁



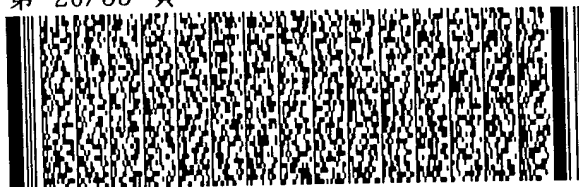
第 19/35 頁



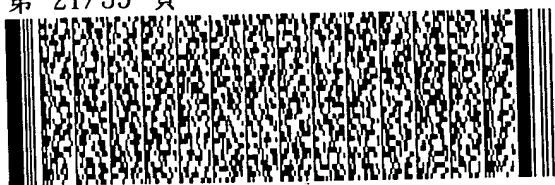
第 20/35 頁



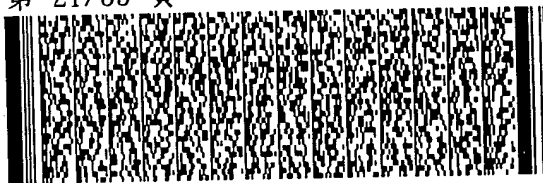
第 20/35 頁



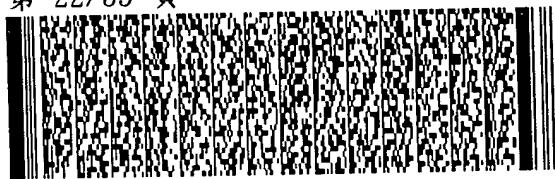
第 21/35 頁



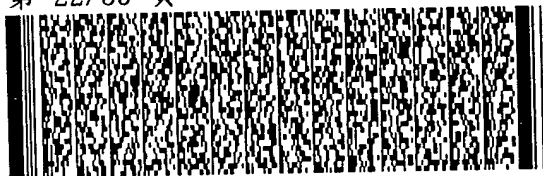
第 21/35 頁



第 22/35 頁



第 22/35 頁



第 23/35 頁



第 23/35 頁



第 24/35 頁



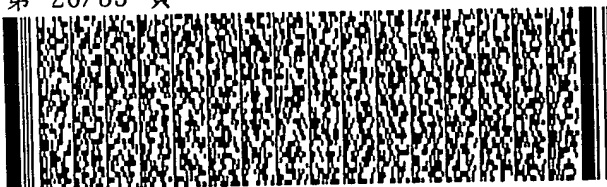
第 24/35 頁



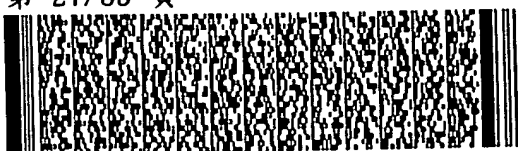
第 25/35 頁



第 26/35 頁



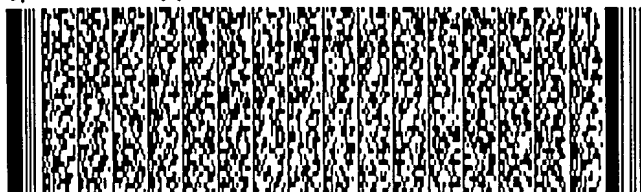
第 27/35 頁



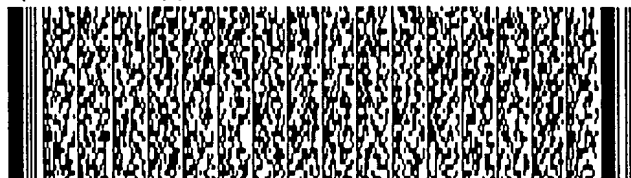
第 28/35 頁



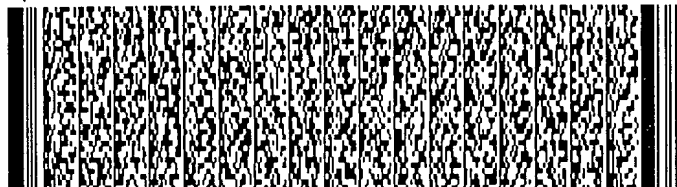
第 29/35 頁



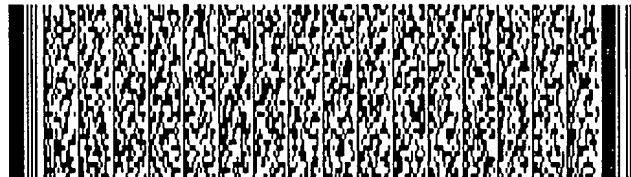
第 30/35 頁



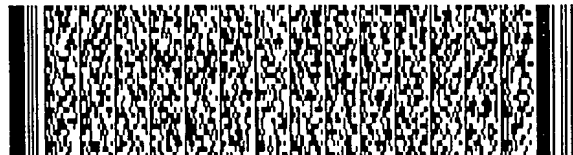
第 31/35 頁



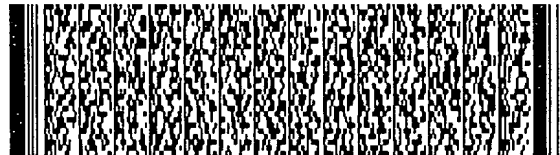
第 32/35 頁



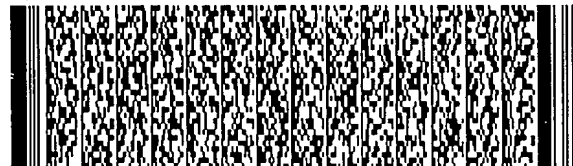
第 33/35 頁



第 33/35 頁



第 34/35 頁



第 35/35 頁

